

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245340

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl.⁸ 課別記号 庁内整理番号 F I 技術表示箇所
H 01 L 21/76 21/8242 27/108 H 01 L 21/76 E
7210-4M 27/10 3 2 5 S

審査請求 未請求 請求項の数 9 O L (全 10 頁) 最終頁に統く

(21) 出願番号 特願平6-34313

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 飯塚 裕久

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 ヘミング ゲルトヤン

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 有留 誠一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

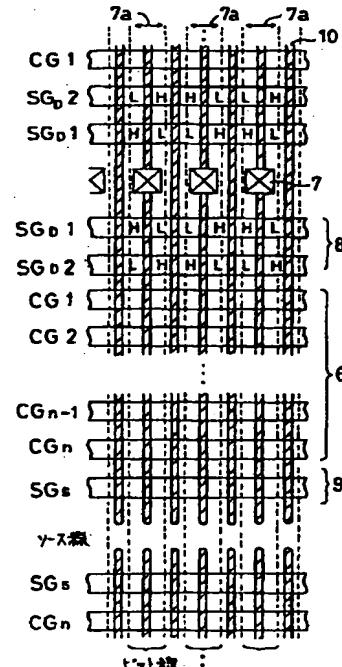
(74) 代理人 弁理士 則近 慎佑

(54) 【発明の名称】 半導体装置

(57) 【要約】

【構成】 半導体基板中に溝を形成し、形成した溝の側壁に酸化膜を形成し、素子分離領域とする。さらに側壁に酸化膜を形成した溝には半導体層を埋め込み、半導体基板面と半導体層表面の2つの領域を素子領域とする。

【効果】 半導体装置の微小化、及び高集積化が可能となる。



1

【特許請求の範囲】

【請求項1】表面に複数の島状領域及び溝部が列状に形成された半導体基板と、
前記複数の溝部の両側壁に形成された絶縁膜と、
前記複数の溝部に埋め込み形成された半導体層と、
前記半導体基板の島状領域及び前記半導体層の表面にそれぞれ形成された半導体素子とからなり、
前記半導体素子は、前記絶縁膜により素子間分離されることを特徴とする半導体装置。

【請求項2】前記埋め込み形成された半導体層は溝底部から成長させたエピタキシャル半導体層もしくは、アモルファス半導体を堆積した後、アニールして再結晶化した層であることを特徴とする請求項1に記載の半導体装置。
10

【請求項3】前記半導体素子はMOSFET, バイポーラトランジスター, E₂ PROM, EPROM, SRAM又はDRAMであることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記半導体素子は半導体基板の島状領域及び半導体層の列方向に沿って複数個直列に接続されてなることを特徴とする請求項3に記載の半導体装置。

【請求項5】前記半導体素子は電荷蓄積層及び制御ゲート電極を有し、電気的にデータ書き込み及び消去可能な不揮発性メモリセルであり、この不揮発性メモリセルが半導体基板の島状領域及び半導体層の列方向に沿って複数個直列に接続されたメモリセルアレイを構成し、前記絶縁膜を介して隣接するメモリセルアレイ同士は共通のピット線に接続されることを特徴とする請求項1記載の半導体装置。

【請求項6】前記隣接するメモリセルアレイのピット線への接続は、選択トランジスタを介して選択的に行なわれるものであることを特徴とする請求項5に記載の半導体装置。

【請求項7】前記半導体基板の島状領域と前記半導体層は、同じ導電型であることを特徴とする請求項1記載の半導体装置。

【請求項8】前記半導体基板の島状領域と前記半導体層は、異なる導電型であることを特徴とする請求項1記載の半導体装置。

【請求項9】前記半導体基板の島状領域の表面と前記半導体層の表面に、エピタキシャル層が形成され、このエピタキシャル層表面に素子が形成されることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置、特に微細な素子分離領域を有する半導体装置に関する。

【0002】

【従来の技術】従来の半導体装置の素子分離技術としては、一般にLOCOS (Local Oxidation

2

of Silicon) 法と呼ばれる分離技術が用いられてきた。このLOCOS法を図11を用いて以下に説明する。

【0003】まず、シリコン基板1の表面に酸化により薄い酸化膜1aを形成した後、この酸化膜1a上に窒化シリコン膜2のパターンを形成する。その後、シリコン基板1表面を酸化する。ここで窒化膜2によりマスクされなかった領域には厚い酸化膜3が形成されるが、同時に横方向にも若干酸化が進行するため窒化膜が押し上げられ、この部分ではいわゆるバーズピークが発生する。このため素子分離領域は必要以上に大きくなっている。半導体装置の微細化を制限する。

【0004】そこでより小さな領域に素子分離領域を形成する方法としてトレンチ素子分離技術が最近開発されている。このトレンチ素子分離技術を図12を用いて以下に説明する。

【0005】まず、シリコン基板1上にレジストマスク4を形成し、次いでRIE (Reactive Ion Etching) 法等の異方性エッティングで基板1に深く溝を掘る。次に、CVD (Chemical Vapor Deposition) 法等により、酸化膜5等の絶縁膜を溝に埋込む。

【0006】このようなトレンチ技術による半導体装置では、横方向に酸化が進行するLOCOS法による素子分離とは異なり、横方向に拡がることなく素子分離の幅を狭くとることができる。

【0007】以上述べたトレンチ素子分離技術によればサブミクロンオーダーの分離は可能である。しかしながらソグラフィー工程の加工限界よりも微細な素子分離領域の形成は困難である。

【0008】一方、最近、E₂ PROM等の不揮発性のメモリセル、あるいはDRAM等のメモリセルを直列に接続することにより高集積化を図ったいわゆるNAND型セルといわれるものが知られている。

【0009】しかしながら、これらNAND型セルの分離領域は前述したLOCOS法により形成されたものであり、メモリセルアレイ全体として更なる高集積化を図ることは困難であった。

【0010】

【発明が解決しようとする課題】以上、述べたように従来の素子分離技術では、素子分離領域をさらに微細化することは困難であり、また、NAND型セル等の半導体メモリセルアレイ全体の面積の縮小化にも限界があった。本発明は、ソグラフィー工程の加工限界よりも微細な素子分離領域を有する半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するためには、本発明は、半導体基板表面に複数の島状領域の形成及び複数の列状の溝掘りが行われ、形成された溝の両側

50

壁には絶縁膜が形成され、半導体層が両側壁の絶縁膜に挟まれる形で基板表面の溝に埋め込まれることから、絶縁膜を介して、半導体基板に形成された複数の島状領域の表面と半導体層表面が交互に配列され、さらに各表面にそれぞれ半導体素子が形成される。ここで列状の溝の側壁に形成される酸化膜は、基板の島状領域の表面及び半導体層表面のそれぞれに、形成される半導体素子間の素子間分離とされる。

【0012】

【作用】このように構成された半導体装置においては、半導体基板表面に列状に形成された複数の溝の両側壁に形成された薄い絶縁膜を素子分離膜として用いることができるので溝中に埋め込まれた半導体層表面及び島状領域の表面に素子を形成することが可能である。つまり、従来のトレンチ分離を用いた半導体装置とは異なり、リソグラフィー工程の加工限界よりも微細な素子分離領域の幅を設定することが可能であり従来の半導体装置と比較して、高集積化を達成しうる。

【0013】

【実施例】図1は本発明の一実施例である微小な素子分離領域を有するNAND型EEPROMのセル周りの平面図を示す。半導体基板上に浮遊ゲートと制御ゲートが積層された構造を有するMOSFETが隣り合うMOSFETのソース、ドレインを共有する形で複数個直列接続されてNANDセル6を構成する。ここでは、前記MOSFETの各ゲート電極にそれぞれ制御ゲート線(CG1, CG2, …CGn-1, CGn)が接続され、n個のMOSFETを直列接続したNANDセルを構成している。このNANDセル6のドレイン側端は2つの選択トランジスタ8を介してピット線コンタクト7に接続されている。前記2つの選択トランジスタは、しきい値(VTH)が“H”, “L”と異なるMOSトランジスタであり、それぞれのゲート電極はSGD1, SGD2に接続されて、前記NANDセルでの書き込み、あるいはNANDセルからの読み出しがこれらトランジスタのオン・オフにより制御される。

【0014】又、NANDセルの他端側には、1つの選択トランジスタ9が設けられている。次に、この実施例の特徴部分である素子分離領域について説明する。前述したNANDセルは制御ゲート線方向に複数配置され、NANDセルアレイを構成するが、これらNANDセル間は微小幅の素子分離領域10によって分離される。

【0015】この分離領域10の幅は、後述する本発明の実施例方法により0.1μm程度の微小な幅に形成されている。本実施例の素子分離によって、素子分離幅を非常に狭くすることが可能であるが、従来要していた幅に比較して非常に狭いため、ピット線7aをピット線コンタクト7で接続する際、ピット線コンタクト間のスペース余裕を取らなければならないため各ピット線毎に1つのセルアレイを接続させることが不可能となる。この

問題を解消するためにこの実施例では図1に示すように2列のNANDセルに対し、1本の共通のピット線7aを用いる。但し、1本のピット線7aに接続された2列のNANDセルアレイの一方のみを選択的に選ぶ場合を考えて前述した選択ゲート8が接続されている。

【0016】ここで、この実施例の動作を説明するため図1を簡略化して等価回路に置き換えた図を図2に示す。ここでは2列のメモリセルが並列接続されたものになっている。

【0017】制御ゲート線方向に隣接するこれら2列のNANDセルは、それぞれBL1, BL2を介して、1本のピット線7aに接続されている。ここでBL1, BL2を選択する方法として図2に示すように、ピット線コンタクトを共有するセルアレイに接続されたセレクトゲートを共有する隣り合ったMOSトランジスタのしきい値を異なるものとし、さらに同一のセルアレイに接続された2つのMOSトランジスタのしきい値が異なる

(“H” > “L”, [V]) ように設定する。例えばMOSトランジスタがNMOSの場合には、BL1のみを選択する場合にはSGD1に“H”[V]以下の電位、例えば12[V]を印加し、SGD2に“L”[V]以上“H”[V]以下の電位、例えば0[V]を印加する。

【0018】又、BL2のみを選択する場合には、SGD1に“L”[V]以上、“H”[V]以下の電位を印加し、SGD2に“H”[V]以上の電位を印加する。さらに、ピット線コンタクト7を共有するセルアレイでありBL1及びBL2とは異なるセルアレイを選択する場合には、SGD1及びSGD2に“H”[V]以下の電位を印加し、BL1及びBL2を非選択とすることができる。

【0019】図2においては、BL1が選択され、書き込みたいメモリセル(MC)に接続された制御ゲート線CG1に高電位の例えば20[V]程度を残りの制御ゲート線CG2～CGnには中間電位の例えば10[V]程度を与える。又、ピット線7aには“1”, “0”的データに応じて所定の電位(ここでは0[V])を与えることにより特定のメモリセル(MC)への書き込みを行なう。

【0020】一方、BL2側のNANDセルはフローティング状態であるから、書き込みすべきメモリセルよりドレインコンタクト側のメモリセルの制御ゲート線CG1が20Vであっても書き込みは行なわれない。

【0021】データを読み出す場合も、書き込みと同様に選択ゲート8に電圧を与えることによりBL1又はBL2を選択的に選び、それらBL1, BL2に接続されたNANDセルのメモリセルを読み出すようにすることができる。

【0022】次に上記の選択ゲート8のMOSトランジスタのようなしきい値の異なるトランジスタを形成する方法を図3を用いて説明する。図3は図1の選択ゲート

8付近を拡大して示した平面図である。図3に示すように、しきい値の低い隣接する2つのトランジスタに対し1つの窓をリソグラフィー工程で形成し、そこに所望の不純物を添加させ、チャネル部のタイプ及び濃度を制御し所望のしきい値のトランジスタを形成する。しきい値の高いトランジスタの形成も同様にリソグラフィー工程を用いて形成する。

【0023】以上は本発明の実施例である素子分離領域を有するNAND型EEPROMを形成する場合を説明したが、ビット線等の配線1本に対し、直列接続した複数のメモリセルアレイ群等の素子群がコンタクトし、これら素子群を他の素子群と分離するような構造の回路には全て有効である。

【0024】例えば、直列接続型のDRAMでもよい。又、選択ゲートとなる2つのMOSトランジスタは、PチャネルとNチャネルMOSの組み合わせで行うことも可能である。この場合、製造方法としては複雑化するが、BL1とBL2両方がオンとなることはなく、確実にBL1かBL2のどちらかを選択できる。

【0025】図4に、本発明の実施例の素子分離と従来の素子分離との比較を示す。この比較例では、0.4μmのデザインルールで加工した場合についての比較を行っている。

【0026】素子分離領域を含む1つのメモリセル全体のセル面積は、LOCOS分離、トレンチ分離、実施例の素子分離でそれぞれ0.96μm², 0.64μm², 0.32μm²と本実施例が一番小さいものとなっている。また、セル面積に対する素子分離領域の割合もそれぞれ、67%, 50%, 25%と、本実施例が一番小さいことがわかる。

【0027】この様に、本発明の実施例では素子分離領域、あるいはメモリセル面積の大幅な縮小化が可能となることに加えて、ビット線1本に対し複数のセルアレイとコンタクトをとれるため、ビット線本数を削減できるという効果も得られる。

【0028】次に、前述した本発明の実施例の微小な素子分離領域の形成方法について図面を用いて説明する。図5(a)～(e)にその製造方法を説明するための工程断面図を示す。この図は、図1のメモリセルアレイの制御ゲート線方向で切った断面図である。

【0029】実施例では、半導体基板11の表面と、半導体基板11に形成した溝の側壁の酸化膜を介して埋め込まれたシリコン層14の表面の両者を素子領域として使用することにより、溝全体に酸化膜を埋め込み素子分離領域としていた。従来のトレンチ構造に比べ1素子領域を形成するのに必要な1ピッチは最小で1/2に縮小できる。

【0030】さらに、素子領域の幅及び素子分離領域の幅は、リソグラフィー工程におけるレジスト幅、あるいは酸化膜13の膜厚を変化させることにより、自在に調

整でき、制御性のよい半導体装置の作成が可能である。

【0031】図5(e)は、素子分離領域13が形成された状態の半導体基板11を示す図であり、この素子分離領域13で分離された領域にその後のプロセスでメモリセル等の半導体装置が形成される。

【0032】以下、この実施例の製造方法について詳細に説明する。まず、図5(a)に示すようにシリコン基板11の表面に酸化膜12を例えば0.3μm程度の膜厚に形成し、次にリソグラフィー工程によりレジスト(図示せず)をパターニングし、パターニングされたレジストをマスクとしてエッティングを行い、酸化膜12のパターンを形成した後、マスクとして用いたレジストを除去する。

【0033】次に図5(b)に示すように、前記酸化膜12パターンをマスクとして用い基板11のエッティングを行って島状のシリコン領域を残すとともに深さ0.8μm程度の溝16を複数列状に形成する。その後形成した溝16の内壁にCVD法、もしくは酸化により酸化膜を幅が0.1μm程度になるように形成した後、溝の底部の酸化膜をRIE等の異方性エッティングにより除去する。この異方性エッティングにより溝の底部のシリコン基板11は露出され、溝の側壁に形成された酸化膜13とシリコン基板11表面上に形成された酸化膜12は残置されている。

【0034】次に図5(c)に示すように、選択的エピタキシャル成長法を用い、シリコン基板11表面が露出した溝の底部からシリコン層14を成長させ、溝16を埋め込む。

【0035】次に図5(d)に示すように、シリコン基板11の表面に残置された酸化膜12をNH₄F等を用いて除去し、シリコン基板表面を露出させる。次に図5(e)に示すように図5(d)の工程で露出したシリコン基板11の表面部分とエピタキシャル成長層14の表面を例えば0.2μm程度エッティングし、側壁の酸化膜13より、低くさせ、半導体基板11に微小な素子分離領域が形成される。その後、露出した半導体基板11あるいはエピタキシャルシリコン層14表面にメモリセル等の半導体素子が形成され、例えば、図1に示した如き高集積化を達成したメモリセルアレイを形成できる。

【0036】上述の図5(a)～図5(e)の工程で素子領域への不純物の添加方法についての説明を省略したが以下のように適宜、導電型を設定することができる。すなわち、溝の内部にエピタキシャル成長させるシリコン層14を所望の導電型にするにはP型導電型であれば、エピタキシャル成長中にP型不純物として例えばボロン、インジウム等を添加し、n型導電型であれば、n型不純物として例えばヒ素、リン等を添加する。他の方法としてはシリコン層14を成長させた後に上部に薄い酸化膜を形成し、この酸化膜を介して不純物元素をイオン注入法により添加させる方法もある。

【0037】さらに、半導体基板をP型、n型のどちらかを適宜選択し、上記のように所望の不純物添加を行えば、隣接する素子領域と同タイプとしたり、逆タイプとすることは簡単に行え、各種の用途に適用することが可能である。

【0038】例えば、第1図に示したNANDセルを形成する場合には、P型半導体基板11あるいはn型半導体基板上に形成したPウェル11とP型エピタキシャル層14を用い、これら表面上にメモリセルとなるn型MOSトランジスタを形成する。又、n型半導体基板11あるいはP型半導体基板上に形成したnウェル11とn型エピタキシャル層としてもよいし、P型半導体デバイスとn型半導体デバイスが混在する場合には、基板11とエピタキシャル層14の導電型を混在させてもよい。

【0039】図5(c)の工程においてシリコン基板11に形成した溝16にエピタキシャルシリコン層14を形成する工程に変えて、溝16中にアモルファスシリコンを堆積させた後、このアモルファスシリコンをアニールし、再結晶化させることも可能である。

【0040】図6(a)～(f)は本発明の実施例の半導体装置の他の製造方法を示す工程断面図である。まず図6(a)に示すように、シリコン基板21の表面に熱酸化により、薄い酸化膜22を形成し、その上に例えばポリシリコン層23を形成し、さらにその上にCVD法等により形成した酸化膜24を堆積させる。次にリソグラフィー工程を用いて、レジスト25aをパターニングする。

【0041】次に図6(b)に示すようにレジスト25aをマスクとして酸化膜24をパターニングし、残った酸化膜24'をマスクとして、下地のポリシリコン23をパターニングする。

【0042】次にパターニングされたポリシリコン層23'の側壁を例えば0.02μm程度酸化し酸化膜25を形成する。この酸化膜25は、この後の工程で基板11をエッティングする際にポリシリコン層23'がエッティングされるのを防ぐ。

【0043】次に図6(c)に示すように、酸化膜24'ポリシリコン層23'、酸化膜22'をマスクとして、基板11上の酸化膜22をエッティングし、次いで、基板11をエッティングし溝を形成する。続いて、形成した溝の内壁に熱酸化あるいはCVD法により酸化膜を形成した後、溝の側壁部の酸化膜26は残置させ、溝の底部の酸化膜のみを基板21表面が露出するようにRIE法等でエッティングを行なう。

【0044】次に図6(d)に示すように、選択的エピタキシャル成長法を用いて、エッティングした溝の底部より、シリコン層を酸化膜22'と同程度の高さまで堆積させる。

【0045】続いて図6(e)に示すように、エピタキシャル層27の表面を酸化した後、基板表面全体にポリ

シリコン層29を堆積する。次に図6(f)に示すようにマスクとして用いた酸化膜24'が無くなるまでポリッキング(研磨)を行う。これにより、半導体基板21及びシリコン層27表面上に酸化膜を介してポリシリコン層23'、29'が形成された形状となる。

【0046】次に図6(g)に示すように、CDE等の等方性エッティングにより、ポリシリコン層23'を除去し、さらにその下にある酸化膜をエッティングにより除去し、溝掘りを行わなかった領域のシリコン基板21の表面とエピタキシャル成長させたシリコン層27の表面の両方を露出させた後、それら表面上に、半導体素子を形成する。

【0047】又、この実施例において不純物の添加については、先の実施例と同様に溝中にシリコン層27をエピタキシャル成長させる際に添加する方法や最後に、シリコン基板21とシリコン層27を露出する際に酸化膜を除去する前段階で酸化膜を介してイオン注入する方法も可能であり、不純物の型や濃度は選択的に変更可能である。

【0048】以上述べた工程では、実施例1で得られる効果と同様の効果が得られるが、さらに、先の実施例の図5(e)の工程で行ったシリコン基板11とエピタキシャル層14の表面のCDE法等によるエッティング工程のようにシリコン基板11とエピタキシャル層14の各表面を直接CDE法によるエッティングをせず、常に酸化膜28により覆い、最後に酸化膜28を除去することにより、各表面の形状の劣化や金属汚染の懼がなく信頼性が向上する。

【0049】また、図5(e)あるいは図6(g)の工程の後に、図7に示すように露出したシリコン基板11上及びシリコン層14上に共に新たなシリコン層15をエピタキシャル成長させて、そこに半導体装置を形成することもできる。以上の工程を行うことにより、シリコン基板11とエピタキシャルシリコン層14とでシリコンの膜質が異なり、半導体装置の特性がばらつくという問題が解消される。従って各素子で基板の状態が均一であることが特に必要な半導体装置にはこの方法は最適である。

【0050】次に、本発明の一実施例として説明した第1図に示した如き、NAND型セルアレイの製造方法について、図6(a)～(h)及び、図11(a)～(e)の工程断面図を用いて説明する。

【0051】但し、図6に示す工程については、前述した実施例で示したものと同様であり、詳細な説明は省略する。続いて図11(a)に示すように熱酸化あるいはCVD法により、トンネル酸化膜32を形成し、さらに電荷蓄積用の浮遊ゲートとなるポリシリコン層33を堆積させる。

【0052】次に図11(b)に示すように酸化膜34の上面が露出するまで、再度ポリッキングを行う。そし

てポリシリコン層33はNANDセルを構成する複数のメモリセル毎に分離されるようにパターニングされる。

【0053】次に図11(c)に示すように電荷蓄積用のポリシリコン層33を覆うようにONO(Oxide Nitride Oxide)構造の絶縁膜35を形成する。この絶縁膜35の上に制御ゲート用のポリシリコン層36を堆積する。この後、制御ゲート用のポリシリコン層36は素子分離領域となる酸化膜34が延びる方向と垂直な方向にパターニングされ、図1に示される制御ゲート線(CG1, CH2, …CGn-1, CGn)を構成する。このようにしてNAND型不揮発半導体装置のメモリセルが完成する。

【0054】以上の工程で形成された不揮発性半導体装置は先の実施例1で述べた微小な素子分離領域の形成という効果を有し、NAND型EEPROMの高集積化、が達成される。

【0055】以上の工程において、図6(a)～(e)に示す工程を行った後、続いて図11(b)～(c)に示す工程を行うことにより図6(f)～(g)及び図11(a)に示す工程は省略され、工程の簡略化が可能となる。

【0056】この場合には最初の酸化膜22及び後に形成される酸化膜28がトンネル酸化膜となるので、これら酸化膜22, 28の形成において膜厚率を最適化する必要がある。同様にポリシリコン層23'及び、後に形成されるポリシリコン層29'が電荷蓄積層となるので、これらポリシリコン層23', 29'の不純物濃度及び膜厚率を最適化する必要がある。

【0057】次に本発明の一実施例として説明した第1図に示した如き、NAND型セルアレイの製造方法について、図8(a)～(h)及び、図9(a)～(e)の工程断面図を用いて説明する。図8(a)～(f)では、前述した図6(a)～(f)と同様の工程であり、同一の部分は同一の符号を付して示し、詳細な説明は省略する。

【0058】この実施例では図8(f)のポリッキング工程後、図8(g)に示すようにポリシリコン層23の側壁にある酸化膜25及び酸化膜22のエッジ部分をポリシリコン層23の下にアンダーカットが入るようにエッティング除去する。

【0059】その後、図8(h)に示すように、熱酸化により酸化膜22のエッジ部分を酸化した後、さらにCVD法により酸化膜30を基板全体に堆積させる。ここで図8(h)に示されるように酸化膜22エッジ部分にはバーズピーク31が入る。

【0060】次に図9(a)に示すようにポリシリコン層23, 29の上面が露出するまで、再度ポリッキングを行い、表面部分の酸化膜30を除去する。次に図9

(b)に示すようにポリシリコン層23, 29'を選択的にエッティングし、さらに酸化膜22をエッティングす

る。

【0061】次に図9(c)に示すように熱酸化によりトンネル酸化膜32を形成し、さらに電荷蓄積用の浮遊ゲートとなるポリシリコン層33を堆積させる。次に図9(b)に示すように酸化膜34の上面が露出するまで再度ポリッキングを行う。そして、ポリシリコン層33は、NANDセルを構成する複数のメモリセル毎に分離されるようにパターニングされる。

【0062】次に図9(e)に示すように電荷蓄積用のポリシリコン層33の側面にある酸化膜34をトンネル酸化膜32にダメージが入らない程度にエッティングを行い凹部を形成する。その後、電荷蓄積用のポリシリコン層33を覆うようにONO(Oxide Nitride Oxide)構造の酸化膜35を形成する。この酸化膜35の上に制御ゲート用のポリシリコン層36を堆積する。この後、制御ゲート用のポリシリコン層36は素子分離領域となる酸化膜34が延びる方向と垂直な方向パターニングされ、図1に示される制御ゲート線(CG1, CG2, …CGn-1, CGn)を構成する。このようにしてNAND型不揮発性半導体装置のメモリセルが完成する。

【0063】以上の工程で形成された不揮発性半導体装置は先の実施例1で述べた微小な素子分離領域の形成という効果に加えて、トンネル酸化膜32に比べポリシリコン層33を覆うONO膜35の面積を広くとったことでカップリング比が改善されるため、酸化膜32とONO膜35の面積が等しいメモリセルに比べトンネル電流による書き込み消去特性が良好となる。

【0064】また、図8(h)で形成した酸化膜22のエッジ部分のバーズピーク31により図9(e)に示されるように浮遊ゲート33下のトンネル酸化膜32の端部におけるRIE法等によるダメージを防ぐことができ、トンネル酸化膜32の信頼性が向上する。また、このバーズピークが入ることにより、トンネル酸化膜の面積が小さくなることから、上記のカップリング比の改善にも役立つことになる。

【0065】さらに図9(b)の工程で酸化膜22をエッティング除去し、図9(c)でトンネル酸化膜32を全面に同時に形成する工程を行うことにより別々の工程でトンネル酸化膜を形成する場合よりもトンネル酸化膜の膜厚や膜質を均一にでき、メモリセルのばらつきを低減できる。

【0066】但し、上述の製造工程のうち図8(h)のようにバーズピークを形成する工程及び図9(e)のように酸化膜34に凹部を形成する工程は一組として行う必要はなく、どちらか一方のみ工程を行ってもよい。このように一方の工程のみを行うことにより、プロセスの簡略化は可能である。

【0067】以上はNAND型EEPROMのセル周りについて説明したが、セル周りに比べ、比較的素子間の

11

幅を広くとる周辺セル部では、図10に示すように基板21の表面のみ、あるいはエピタキシャル層27の表面の一方のみを用いて酸化膜28を介してポリシリコン電極材よりなるゲート電極23'を形成し、素子を形成しない他方の表面には酸化膜を堆積し、隣接する素子間を絶縁する。例えば基板21の表面に素子を形成した場合には、エピタキシャル層27の表面は酸化膜で覆う。また、互いに逆の処理を行うことも可能である。また図10(e)に示すように、下のポリシリコン23'の上にポリシリコン36を形成する事により、容易にゲート上にコンタクトが形成できる。この様にして、セル周りと周辺セル部を同時に形成することが可能である。

【0068】

【発明の効果】本発明によれば、リソグラフィー工程の加工限界にとらわれることのない微小な素子分離領域を有する半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明の実施例であるNAND型EEPROMのメモリセル領域の平面図である。

【図2】 本発明の実施例であるNAND型EEPROMの等価回路を示す回路図である。

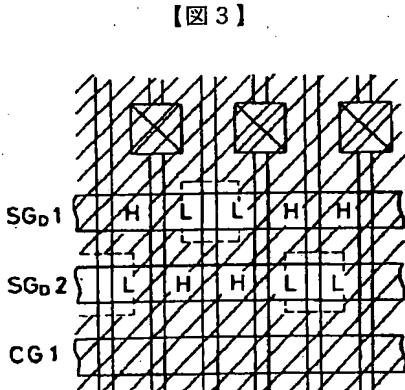
【図3】 本発明の実施例であるNAND型EEPROMの選択ゲート付近を示す拡大平面図である。

【図4】 本発明の実施例と従来の技術のセル比較を示す比較図である。

【図5】 本発明の実施例の製造方法を示す工程別の断面図である。

【図6】 本発明の実施例の他の製造方法を示す工程別の断面図である。

【図7】 本発明の他の実施例を説明するための断面図 *30



【図3】

*である。

【図8】 本発明の実施例であるNAND型EEPROMの他の製造方法を示す工程断面図である。

【図9】 本発明の実施例であるNAND型EEPROMの他の製造方法を示す工程断面図である。

【図10】 本発明の実施例であるNAND型EEPROMの周辺装置の製造工程を示す断面図である。

【図11】 本発明の実施例であるNAND型EEPROMの製造方法を示す工程別断面図である。

10 【図12】 従来のLOCOS技術による素子分離を示す断面図である。

【図13】 従来のトレンチ技術による素子分離を示す断面図である。

【符号の説明】

1, 11, 21…シリコン基板

2…窒化シリコン膜

3, 5, 12, 13, 22, 24, 25, 26, 28,

30, 32, 34…酸化膜

6…NANDセル

20 7…ピット線コンタクト

7a…ピット線

8, 9…選択トランジスタ

14, 15, 27…エピタキシャルシリコン層

23, 23', 29, 33…ポリシリコン層

4, 25a…レジスト

31…バーズピーク

35…ONO膜

36…制御ゲート用ポリシリコン層

BL1, BL2…SDG領域

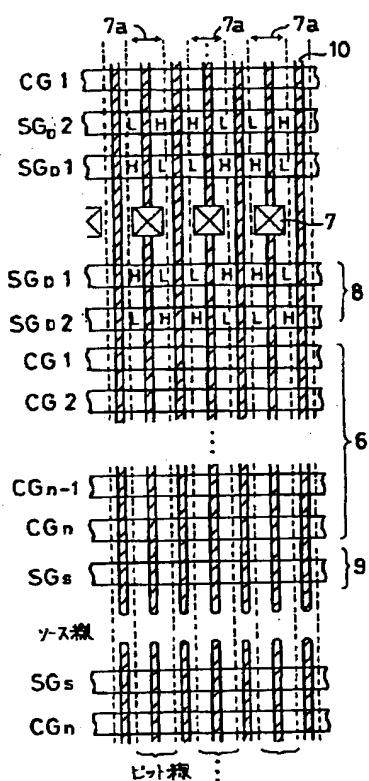
【図4】

素子分離のセル比較

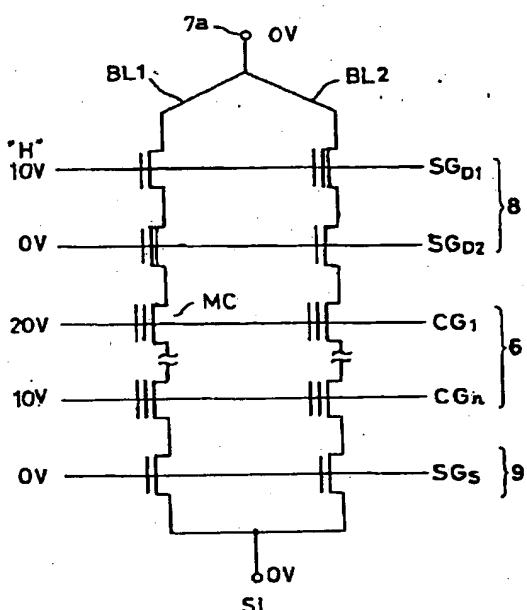
仮定: 0.4 μm ルール

素子分離法	LOCOS 分離	トレンチ 分離	本発明の実施例の素子分離
平面図及び断面図	 E 0.4 μm S 0.4 μm O 0.4 μm FG 0.4 μm	 E 0.4 μm S 0.4 μm O 0.4 μm	 E 0.4 μm S 0.3 μm O 0.3 μm
セル面積	0.96 μm ²	0.64 μm ²	0.32 μm ²
ヒュニコス上に対する素子分離領域の割合	67 %	50 %	25 %

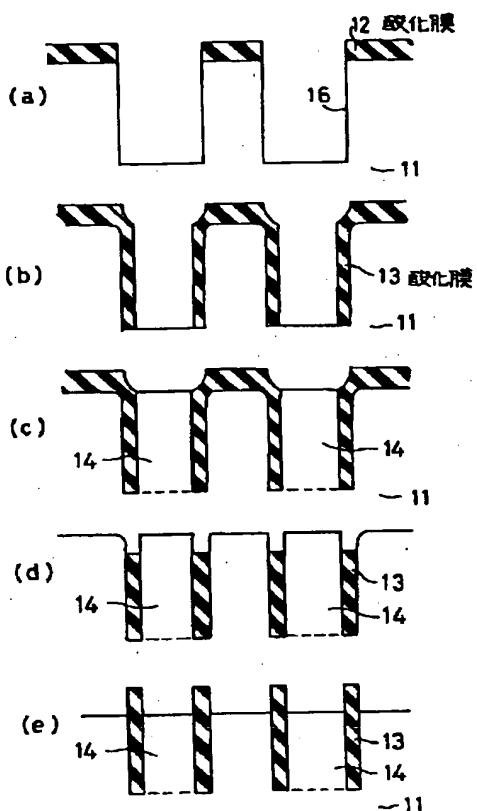
【図1】



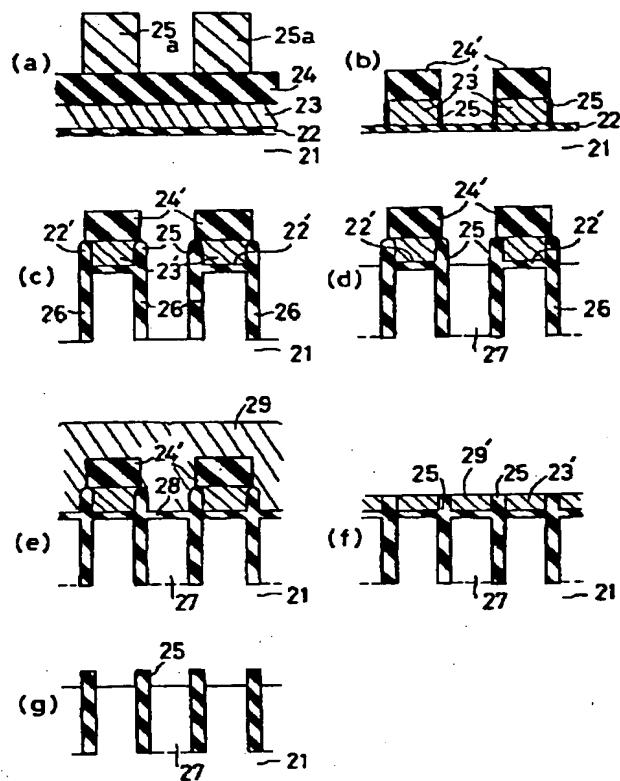
【図2】



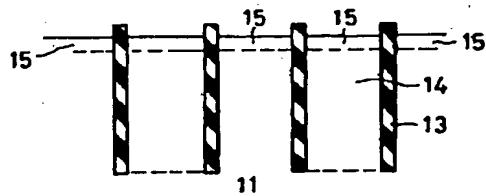
【図5】



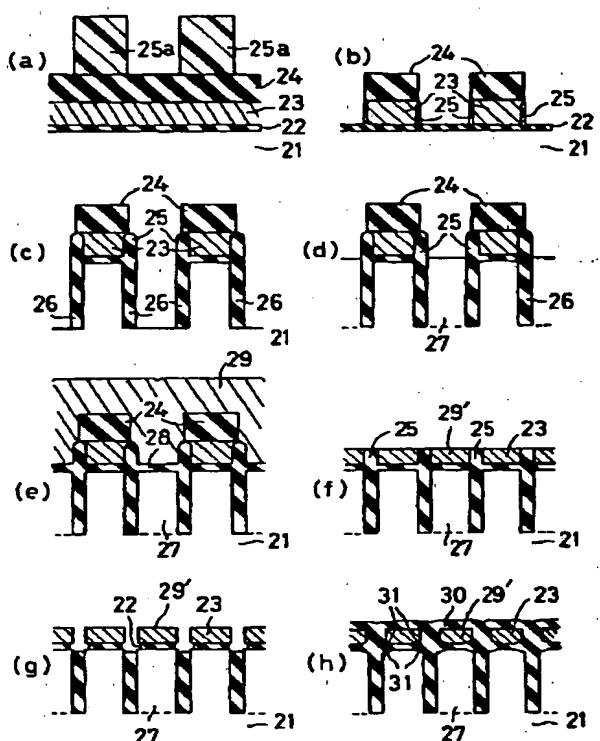
【図6】



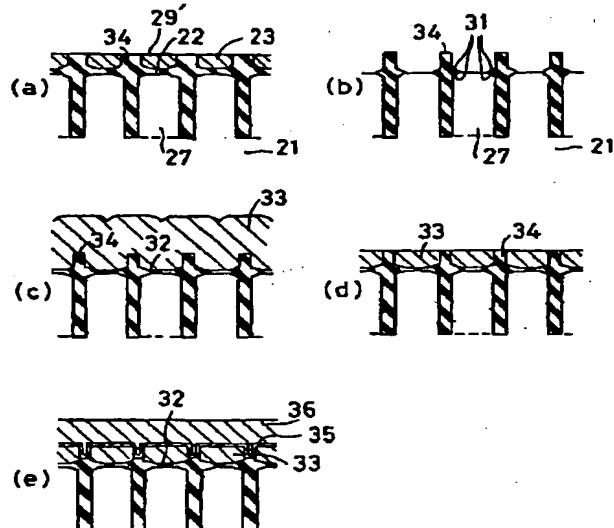
【図7】



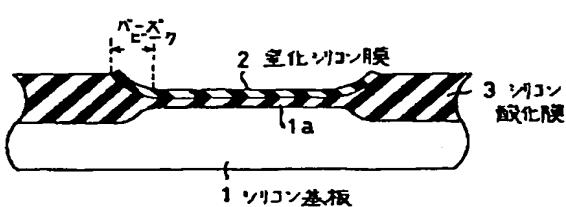
【図8】



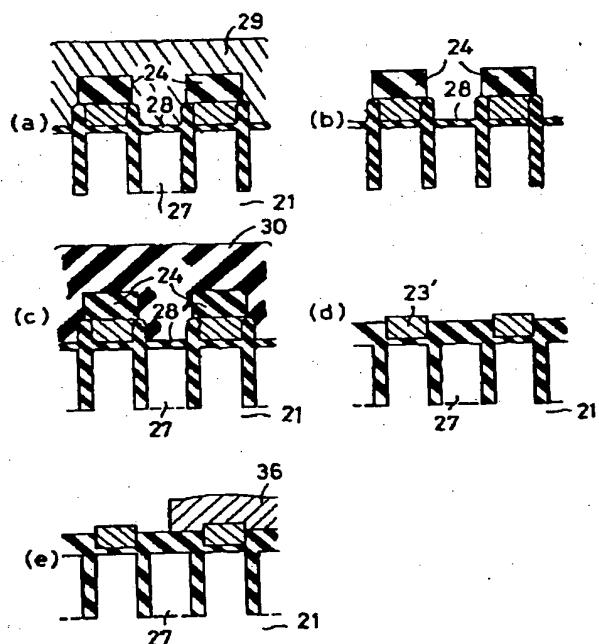
【図9】



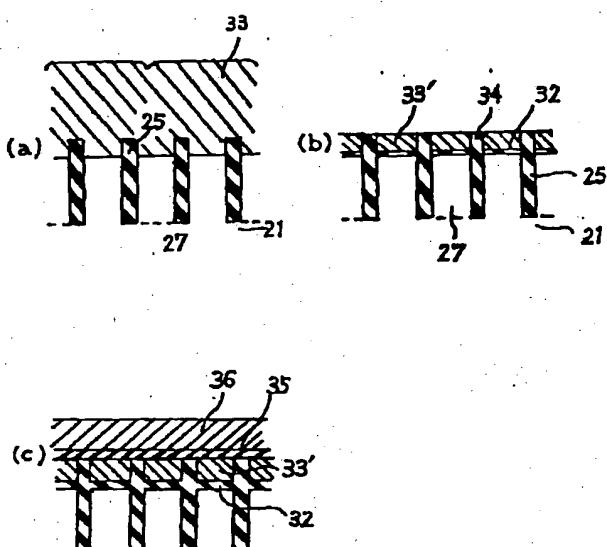
【図12】



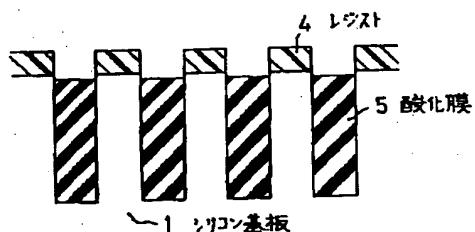
【図10】



【図11】



【図13】



フロントページの続き

(51) Int.Cl. 6

H 01 L 21/8247
29/788
29/792

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 29/78

371